

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036357

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01L 29/78  
H01L 27/04  
H01L 21/822  
H01L 27/06  
H01L 21/331  
H01L 29/73

(21)Application number : 07-181288

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.07.1995

(72)Inventor : MIYANAGA ISAO

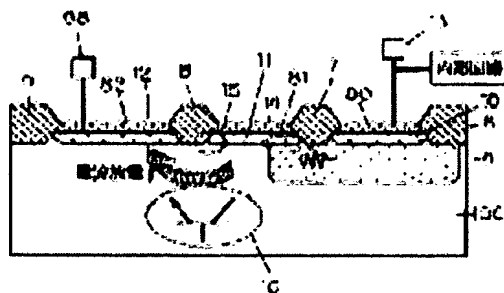
## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve an electrostatic breakdown voltage of an LSI utilizing a transistor having a low resistance source and drain.

**SOLUTION:** An N-type diffused region 10 is formed in such a way as being surrounded by N well 5, while an N-type diffused region 11 is formed in such a way as being projected from N well 5 and is connected in direct to P type semiconductor substrate 100 in the vicinity of a silicon oxide film 8.

Moreover, an N-type diffused region 12 is connected to a GND pad 98 and is isolated from the N-type diffused region 11 by means of a silicon oxide film 8. When a surge is applied thereto, the N well 5 becomes a resistance element. Therefore, the field at the junction area 15 between the N-type diffused region 11 and P-type semiconductor substrate 100 is alleviated and breakdown at this junction area 15 due to the discharging can be prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-36357

(43)公開日 平成9年(1997)2月7日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 K
27/04			27/04	H
21/822			27/06	3 1 1 C
27/06			29/72	
21/331				

審査請求 未請求 請求項の数4 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平7-181288

(22)出願日 平成7年(1995)7月18日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 宮永 績

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

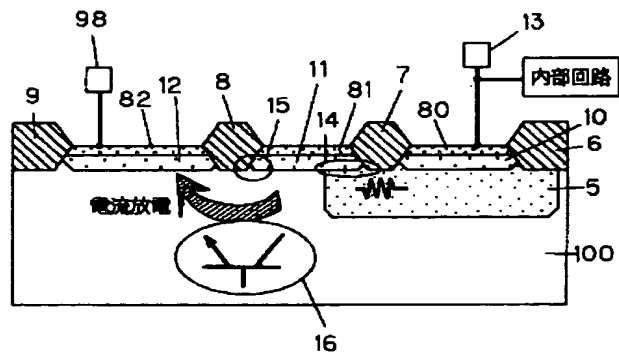
(74)代理人 弁理士 滝本 智之 (外1名)

## (54)【発明の名称】 半導体装置

## (57)【要約】

【目的】 低抵抗ソース、ドレインを有するトランジスタを用いたLSIの静電破壊耐圧を向上させる。

【構成】 N型拡散領域10はNウェル5に囲まれるように形成され、入出力パッド13に接続され、N型拡散領域11は、Nウェル5からはみ出して形成されていて、シリコン酸化膜8近傍ではP型半導体基板100と直接接合する。またN型拡散領域12はGNDパッド98に接続されているとともにシリコン酸化膜8によりN型拡散領域11とは分離されている。これにサージが印加された場合、Nウェル5が抵抗成分となるため、N型拡散領域11とP型半導体基板100との接合部分15の電界が緩和され、放電によるこの接合部分15での破壊が防止できる。



## 【特許請求の範囲】

【請求項1】第1の導電型を有する半導体基板上に形成された第2の導電型を有する低濃度拡散層と、前記低濃度拡散層上に形成され、外部電極に接続された第2の導電型を有する高濃度の第1の拡散領域と、前記低濃度拡散層から前記半導体基板上に延在するよう形成された第2の導電型を有する高濃度の第2の拡散領域と、前記半導体基板上に形成され、電源電極または接地電極に接続された第2の導電型を有する高濃度の第3の拡散領域とを有する半導体装置であって、前記第1の拡散領域と前記第2の拡散領域は第1の絶縁層により分離され、前記第2の拡散領域と前記第3の拡散領域は第2の絶縁層により分離されていることを特徴とする半導体装置。

【請求項2】第1の導電型を有する半導体基板上に形成された第2の導電型を有する低濃度拡散層と、前記低濃度拡散層上に形成され、外部電極に接続された第2の導電型を有する高濃度の第1の拡散領域と、前記低濃度拡散層から前記半導体基板上に延在するよう形成された第2の導電型を有する高濃度の第2の拡散領域と、前記半導体基板上に形成され、電源電極または接地電極に接続された第2の導電型を有する高濃度の第3の拡散領域とを有する半導体装置であって、前記第1の拡散領域と前記第2の拡散領域は第1の絶縁層により分離され、前記第2の拡散領域と前記第3の拡散領域は前記半導体基板により分離され、前記第2の拡散領域と前記第3の拡散領域を分離している前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極が形成され、前記ゲート絶縁膜、前記ゲート電極、前記第2の拡散領域及び前記第3の拡散領域とでMOSトランジスタを形成することを特徴とする半導体装置。

【請求項3】第1の導電型を有する半導体基板上に形成された第2の導電型を有する第1の低濃度拡散層と、前記第1の低濃度拡散層上に形成され、外部電極に接続された第2の導電型を有する高濃度の第1の拡散領域と、前記第1の低濃度拡散層から前記半導体基板上に延在するよう形成された第2の導電型を有する高濃度の第2の拡散領域と、前記第1の導電型を有する半導体基板上に形成された第2の導電型を有する第2の低濃度拡散層と、前記第2の低濃度拡散層上に形成され、電源電極または接地電極に接続された第2の導電型を有する高濃度の第3の拡散領域と、前記第2の低濃度拡散層から前記半導体基板上に延在するよう形成された第2の導電型を有する高濃度の第4の拡散領域とを有する半導体装置であって、前記第1の拡散領域と前記第2の拡散領域は第1の絶縁層により分離され、前記第2の拡散領域と前記第4の拡散領域は第2の絶縁層により分離され、前記第4の拡散領域と前記第3の拡散領域は第3の絶縁層により分離されていることを特徴とする半導体装置。

【請求項4】第1の導電型を有する半導体基板上に形成された第2の導電型を有する第1の低濃度拡散層と、前

記第1の低濃度拡散層上に形成され、外部電極に接続された第2の導電型を有する高濃度の第1の拡散領域と、前記第1の低濃度拡散層から前記半導体基板上に延在するよう形成された第2の導電型を有する高濃度の第2の拡散領域と、前記第1の導電型を有する半導体基板上に形成された第2の導電型を有する第2の低濃度拡散層と、前記第2の低濃度拡散層上に形成され、電源電極または接地電極に接続された第2の導電型を有する高濃度の第3の拡散領域と、前記第2の低濃度拡散層から前記半導体基板上に延在するよう形成された第2の導電型を有する高濃度の第4の拡散領域とを有する半導体装置であって、前記第1の拡散領域と前記第2の拡散領域は第1の絶縁層により分離され、前記第2の拡散領域と前記第4の拡散領域は第2の絶縁層により分離され、前記第4の拡散領域と前記第3の拡散領域は第3の絶縁層により分離され、前記第2の拡散領域と前記第4の拡散領域を分離している前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極が形成され、前記ゲート絶縁膜、前記ゲート電極、前記第2の拡散領域及び前記第4の拡散領域とでMOSトランジスタを形成することを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体集積回路装置における静電破壊防止のための保護トランジスタおよび出力トランジスタに関するものである。

## 【0002】

【従来の技術】近年、LSIの高集積化、高速化に向けて、トランジスタの寄生抵抗の削減がはかられている。その代表的な技術としてトランジスタのソース、ドレインのシリサイド化技術が挙げられる。これはソース、ドレイン拡散領域表面をシリサイド化することによりソース、ドレイン抵抗を削減するというものである。更にこの技術によりソース、ドレイン面積を縮小化が容易になるため、LSIの高集積化及び高速化が実現できる。しかしながら、ソース、ドレインの低抵抗化はLSIの静電破壊耐圧の著しい低下をもたらす。これはLSIの静電破壊を防止するための保護トランジスタにおいて、サージ印加時にソース、ドレインの低抵抗化のためPN接合の電界強度が著しく増大し、保護トランジスタ自体が静電破壊してしまうからである。

【0003】そこで上記の破壊を防止するため、従来以下のような構造の保護トランジスタが提案されている。

【0004】図9は従来の保護トランジスタの構造断面図を示すものである。図9において、100はP型半導体基板、1は低濃度のNウェル（例えば $10^{17}/\text{cm}^3$ 程度）、2及び103はシリコン酸化膜、3及び4は高濃度（例えば $10^{20}/\text{cm}^3$ 程度）のN型拡散領域、101及び102は各々N型拡散領域3及び4表面上に形成されたチタンシリサイド膜、13は外部電極となる入出力パ

## 3

ッド、98はGNDパッドである。ここでN型拡散領域3はP型半導体基板100上にNウェル1に囲まれるように形成されており、N型拡散領域4はGNDパッドに接続されている。

【0005】上記の構成により静電破壊保護用のNPNラテラルバイポーラトランジスタ95が形成されている。即ちN型拡散領域3及びNウェル1がコレクタ、P型半導体基板100がベース、N型拡散領域4がエミッタとなっている。

【0006】以上のように構成された保護トランジスタに、入出力パッド13から+のサージが印加されたとき、保護トランジスタ95がONしてN型拡散領域4からGNDパッドを通じて外部に放電電流が流れるが、Nウェル1が抵抗成分となりN型拡散領域3とP型半導体基板100間の電界を緩和して破壊を防止することができる。

## 【0007】

【発明が解決しようとする課題】しかしながら上記のような構成では、Nウェル1、N型拡散領域4は別々のマスクを用いて形成するために、両者間の距離即ち保護トランジスタのベース幅を狭げなければならず、従って放電速度が低下し、その結果LSIの内部回路の破壊耐圧が低下するという問題点を有していた。また加えて上記ベース幅のばらつきが大きいため、保護トランジスタ95の放電特性を均一にすることができないという問題点も有していた。

【0008】本発明は上記問題点に鑑み、トランジスタのソース、ドレインの低抵抗化をはかっても、高い静電破壊耐圧を保持することのできる保護トランジスタを提供するものである。

## 【0009】

【課題を解決するための手段】上記問題点を解決するために本発明の半導体装置は、第1道電型の半導体基板上に形成された第2道電型の第1、第2および第3の高濃度の拡散領域および第2道電型の低濃度の拡散層を有し、第1の拡散領域は拡散層内に形成され且つ外部電極に接続され、第2の拡散領域は電源電極または接地電極に接続され、第3の拡散領域は拡散層により第1の拡散領域と分離され且つ拡散層と接触且つ電氣的に接続され、更に第2の拡散領域と第1道電型の半導体基板によって分離された構成となっている。

【0010】また本発明の半導体装置は、第1道電型の半導体基板上に形成された第2道電型の第1、第2、第3および第4の高濃度の拡散領域および第2道電型の第1および第2の低濃度の拡散層を有し、第1の拡散領域は第1の拡散層内に形成され且つ外部電極に接続され、第2の拡散領域は第2の拡散層内に形成され且つ電源電極または接地電極に接続され、第3の拡散領域は第1の拡散層により第1の拡散領域と分離され且つ第1の拡散層と接触且つ電氣的に接続され、第4の拡散領域は第2

## 4

の拡散層により第2の拡散領域と分離され且つ第2の拡散層と接触且つ電氣的に接続され、更に第3と第4の拡散領域は第1道電型の半導体基板によって分離された構成となっている。

## 【0011】

【作用】本発明は上記した構成によって、高濃度の拡散領域間で形成されたバイポーラ保護トランジスタ及びそのコレクタまたはエミッタに低濃度の拡散層により抵抗成分を形成することにより、保護トランジスタのベース幅を微細に形成でき、かつその放電特性のばらつきを小さくすることができる。

## 【0012】

【実施例】以下本発明の実施例について、図面を参照しながら説明する。

【0013】（実施例1）図1は本発明の第1の実施例における集積回路装置の静電破壊保護トランジスタの構造断面図、図2は同実施例における平面図を示すものである。図1において、100はP型半導体基板、5は低濃度のNウェル（例えば $10^{17}/\text{cm}^3$ 程度）、6、7、8、9はシリコン酸化膜、10、11、12は高濃度（例えば $10^{20}/\text{cm}^3$ 程度）のN型拡散領域、80、81、82はN型拡散領域10、11、12表面上に形成されたチタンシリサイド膜、13は外部電極となる入出力パッド、98はGNDパッドである。N型拡散領域10はP型半導体基板100上にNウェル5に囲まれるように形成されている。またこのN型拡散領域10は入出力パッド13に接続されている。またこの入出力パッド13は集積回路装置の内部回路と接続している。

【0014】N型拡散領域11は、Nウェル5からはみ出した形で形成されており、Nウェル5とは領域14で接続しているが、シリコン酸化膜8近傍の領域15ではP型半導体基板100と直接接合している。またN型拡散領域10とはシリコン酸化膜7により分離されている。N型拡散領域12はGNDパッド98に接続されているとともにシリコン酸化膜8によりN型拡散領域11とは分離されている。上記の構成により静電破壊保護用のNPNラテラルバイポーラトランジスタ16が形成されている。即ちN型拡散領域10、Nウェル5およびN型拡散領域11がコレクタ、P型半導体基板100がベース、N型拡散領域12がエミッタとなっている。

【0015】このような構造の保護トランジスタ16に、入出力パッド13から+のサージが印加されGNDパッド98に放電される場合、放電電流はN型拡散領域10、Nウェル5を介してN型拡散領域11に流れ込み、保護トランジスタ16がONしてP型半導体基板100を通じてN型拡散領域12から流れ出す、このときN型拡散領域10、11表面がチタンシリサイド化され低抵抗となっても、N型拡散領域10と11間のNウェル5が抵抗成分となるため、N型拡散領域11とP型半導体基板100との接合部分15の電界が緩和さ

## 5

れ、放電によるこの接合部分15での破壊が防止できる。又、N型拡散領域10はNウェル5に囲まれているため、P型半導体基板100との間で接合破壊は生じない。更に本実施例ではN型拡散領域11と12との分離幅が保護トランジスタ16のベース幅となるため、ベース幅を微細化することができ、その結果保護トランジスタ16の放電速度の向上による内部回路の静電破壊耐圧向上がはかられる。又、拡散領域間の分離は寸法制御が容易なので保護トランジスタ16の放電特性を均一にすることができる。

【0016】(実施例2) 図3は本発明第2の実施例における集積回路装置の静電破壊保護トランジスタの構造断面図、図4はその平面図を示すものである。N型拡散領域24、25、Nウェル20は、図1及び図2のN型拡散領域10、11、Nウェル5と同様の構成になっている。

【0017】図3では高濃度のN型拡散領域25、26及びゲート電極27によりMOSTランジスタが形成されており、N型拡散領域25は、Nウェル20からはみ出した形で形成されており、ゲート電極27近傍の領域ではP型半導体基板100と直接接合している。このような構成において、入出力パッド13に+のサージが印加されGNDパッド98に放電される場合、放電電流はN型拡散領域24、Nウェル20を介してN型拡散領域25に流れ込み、更にN型拡散領域25、26、P型半導体基板100より形成される寄生NPNラテラルバイポーラトランジスタ94がONしてP型半導体基板100を通じてN型拡散領域26から外部へ流れ出すが、上記第1の実施例と同様にN型拡散領域25、26表面がチタンシリサイド化され低抵抗となっても、N型拡散領域24、25間のNウェル20が抵抗成分となるため、N型拡散領域25とP型半導体基板100との接合部分32の電界が緩和され、放電によるこの接合部分32での破壊が防止できる。そして上記の構成のMOSTランジスタを集積回路装置内部からの信号を外部へ伝達する出力トランジスタとして用いることにより高静電破壊耐圧の出力トランジスタが実現できる。

【0018】なお上記の第1及び第2の実施例のN型拡散領域12、26はそれぞれGNDパッドに接続されているが、これらは電源パッドに接続されていてもよいことはいうまでもない。

【0019】(実施例3) 図5は本発明第3の実施例における集積回路装置の静電破壊保護トランジスタの構造断面図、図6はその平面図を示すものである。図5において、100はP型半導体基板、33、34は低濃度のNウェル(例えば $10^{17}/\text{cm}^3$ 程度)、35、36、37、38、39はシリコン酸化膜、39、40、41、42は高濃度(例えば $10^{20}/\text{cm}^3$ 程度)のN型拡散領域、86、87、88、89はN型拡散領域39、40、41、42表面上に形成されたチタンシリサイド

## 6

膜、13は外部電極となる入出力パッド、99は電源パッドである。N型拡散領域39、40、Nウェル33は、図1のN型拡散領域10、11、Nウェル5と同様の構成になっている。更に本実施例では、N型拡散領域42はP型半導体基板100上にNウェル34に囲まれるように形成されている。またこのN型拡散領域42は電源パッド99に接続されている。N型拡散領域41は、Nウェル34からはみ出した形で形成されていて、Nウェル34とは領域46で接続しているが、シリコン酸化膜37近傍の領域ではP型半導体基板100と直接接合している。またN型拡散領域40と41とはシリコン酸化膜37により分離されている。

【0020】上記の構成により静電破壊保護用のNPNラテラルバイポーラトランジスタ43が形成されている。即ちN型拡散領域39、Nウェル33およびN型拡散領域40がコレクタ、P型半導体基板100がベース、N型拡散領域41、Nウェル34およびN型拡散領域42がエミッタとなっている。

【0021】このような構造の保護トランジスタ43に、入出力パッド13から+のサージが印加され電源パッド99に放電される場合、第1の実施例と同様にN型拡散領域39、40間のNウェル33が抵抗成分となるため、N型拡散領域40とP型半導体基板100との接合部分44の電界が緩和され、放電によるこの接合部分44での破壊が防止できる。更に本実施例では、電源パッド99から+のサージが印加され入出力パッド13に放電される場合、同様にN型拡散領域41、42間のNウェル34が抵抗成分となるため、N型拡散領域41とP型半導体基板100との接合部分45の電界が緩和され、放電によるこの接合部分45での破壊が防止できる。又、N型拡散領域40と41との分離幅が保護トランジスタ43のベース幅となるため、ベース幅を微細化することができ、その結果保護トランジスタ43の放電速度の向上による内部回路の静電破壊耐圧向上が図られる。

【0022】(実施例4) 図7は本発明第4の実施例における集積回路装置の静電破壊保護トランジスタの構造断面図、図8はその平面図を示すものである。第4の実施例は第3の実施例とほぼ同様の構成になっているが、第3の実施例ではN型拡散領域40と41がシリコン酸化膜37で分離されているのに対し、第4の実施例ではN型拡散領域59、60およびゲート電極によりMOSTランジスタが形成されている点が異なる。

【0023】このような構成において、入出力パッド13に+のサージが印加され電源パッド99に放電される場合、あるいは電源パッド99から+のサージが印加され入出力パッド13に放電される場合、第3の実施例と同様にN型拡散領域58、59間のNウェル52が抵抗成分となるため、あるいはN型拡散領域60、61間のNウェル53が抵抗成分となるため、N型拡散領域59

とP型半導体基板100との接合部分96あるいはN型拡散領域60とP型半導体基板100との接合部分65の電界が緩和され、これら接合部分での破壊が防止できる。そして上記の構成のMOSトランジスタを集積回路装置内部からの信号を外部へ伝達する出力トランジスタとして用いることにより高静電破壊耐圧の出力トランジスタが実現できる。

【0024】なお上記の第3及び第4の実施例のN型拡散領域42、61はそれぞれ電源パッドに接続されているが、これらはGNDパッドに接続されていてもよい。

【0025】又、第1、第2、第3及び第4の実施例ではいずれもNPNの寄生バイポーラトランジスタが形成されているが、PNPで寄生バイポーラトランジスタが形成されていてもよい。

【0026】更に第1、第2、第3及び第4の実施例のN型拡散領域表面にはチタンシリサイド膜が形成されているが、例えばコバルトシリサイド膜等のシリサイド膜が形成されていても、または金属膜が堆積されていても静電破壊耐圧向上に対し同様の効果が得られる。

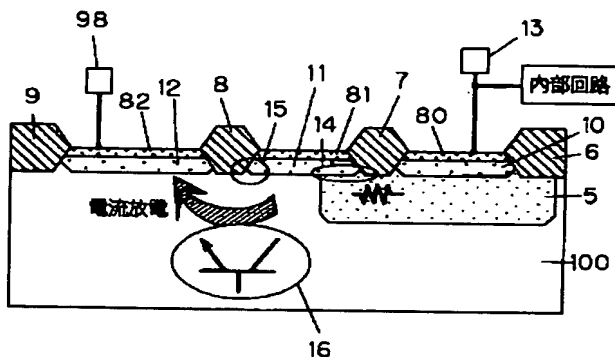
【0027】

【発明の効果】以上のように本発明は、分離された高濃度の拡散領域間で形成されたバイポーラ保護トランジスタ及びそのコレクタまたはエミッタに低濃度の拡散層により抵抗成分を形成することにより、サージ印加時、高濃度の拡散領域と半導体基板との接合部分の電界が緩和され、サージ放電によるこの接合部分の破壊が防止でき、また保護トランジスタのベース幅を微細化することができるので、その保護トランジスタの放電速度の向上による内部回路の静電破壊耐圧向上がはかられる。又、高濃度拡散領域間の分離は寸法制御が容易なので保護トランジスタの放電特性を均一にすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における静電破壊保護ト

【図1】



ランジスタの構造断面図

【図2】本発明の第1の実施例における静電破壊保護トランジスタの平面図

【図3】本発明の第2の実施例における静電破壊保護トランジスタの構造断面図

【図4】本発明の第2の実施例における静電破壊保護トランジスタの平面図

【図5】本発明の第3の実施例における静電破壊保護トランジスタの構造断面図

10 【図6】本発明の第3の実施例における静電破壊保護トランジスタの平面図

【図7】本発明の第4の実施例における静電破壊保護トランジスタの構造断面図

【図8】本発明の第4の実施例における静電破壊保護トランジスタの平面図

【図9】従来の静電破壊保護トランジスタの構造断面図

【符号の説明】

1、5、20 Nウェル

2、6、7、8、9 シリコン酸化膜

20 3、4、10、11、12 N型拡散領域

13 入出力パッド

14 N型拡散領域とNウェルの接続領域

15 N型拡散領域とP型半導体基板との接合部分

16 NPN寄生ラテラルバイポーラトランジスタ

17、18 N型拡散領域と金属配線間のコンタクト部分

19、20 金属配線

27 ゲート電極

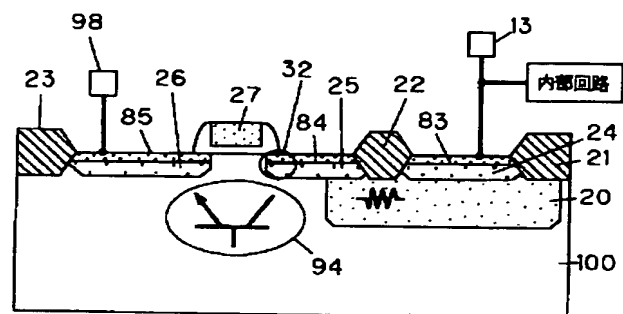
80、81、82 チタンシリサイド膜

30 98 GNDパッド

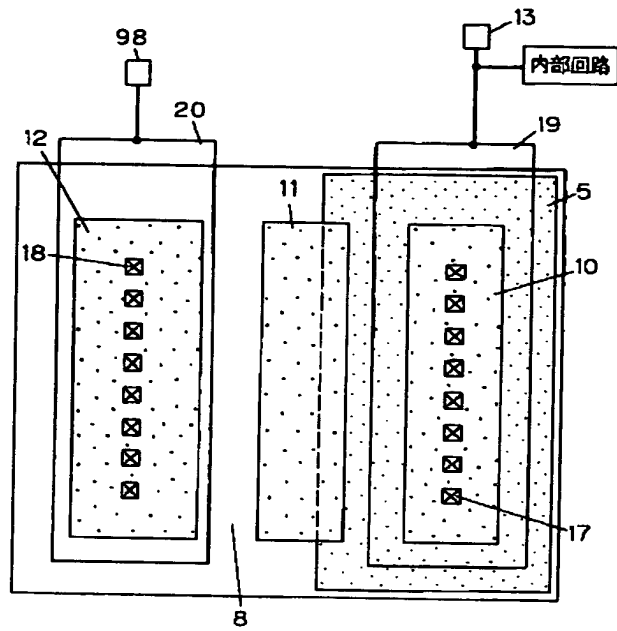
99 電源パッド

100 P型半導体基板

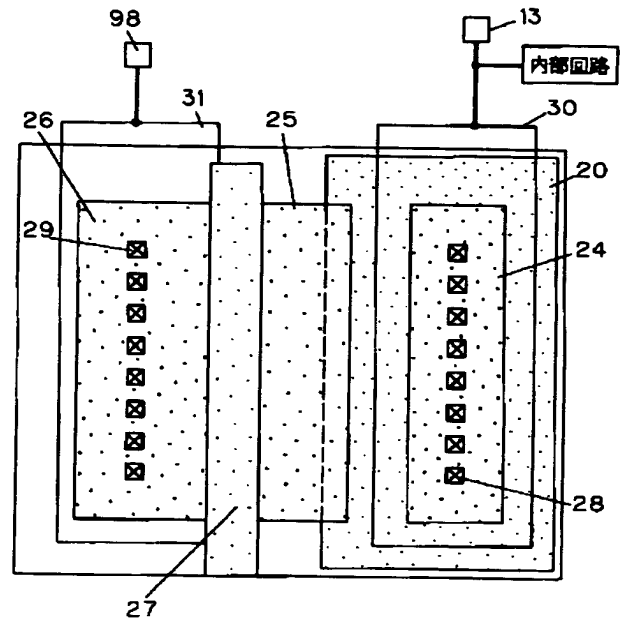
【図3】



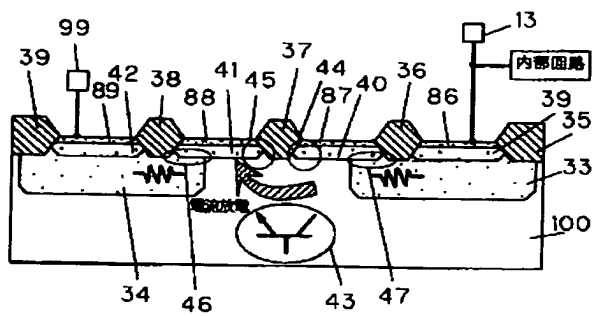
【図2】



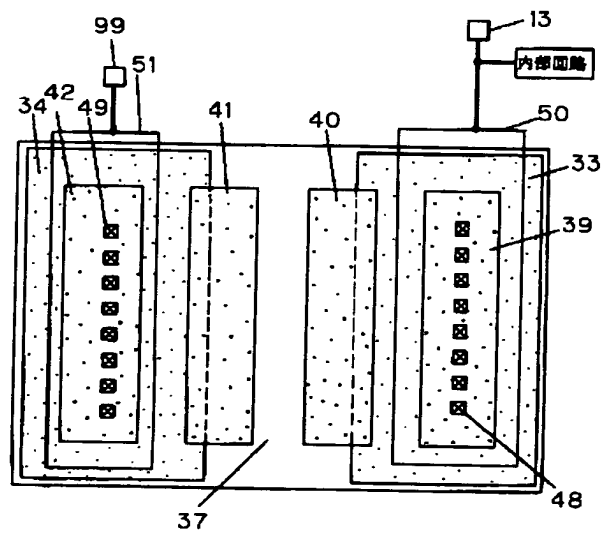
【図4】



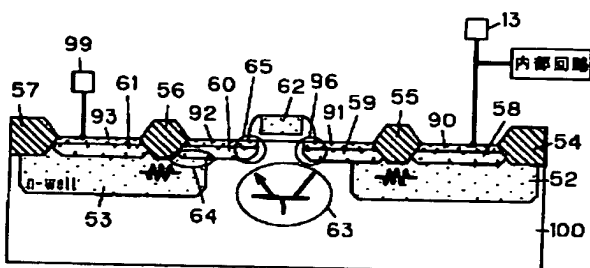
【図5】



【図6】

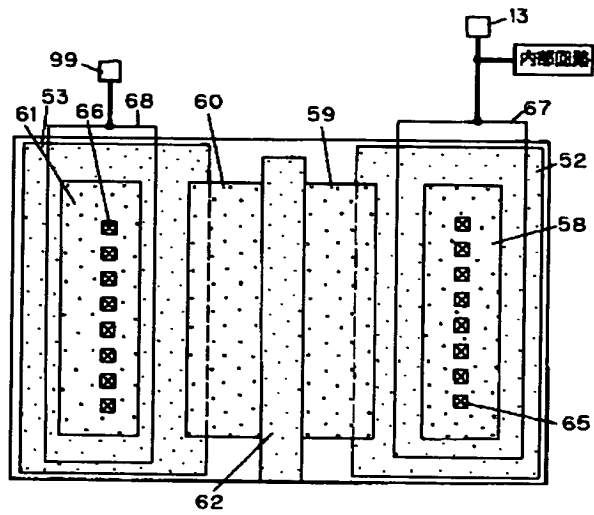


【図7】

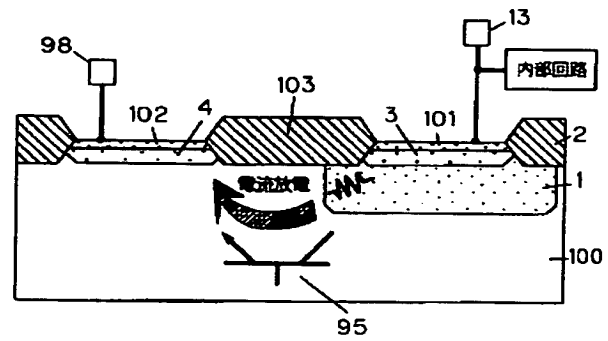




【図8】



【図9】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

H01L 29/73

識別記号

庁内整理番号

F I

技術表示箇所